

Научная статья

УДК 004.387:621.3.087.93

<https://doi.org/10.31854/1813-324X-2026-12-2-53-63>

EDN:DAQBCB



Моделирование параллельного нониусного цифроаналогового преобразователя второго типа

✉ Юрий Александрович Никитин, nikitin.ua@sut.ru✉ Владимир Алексеевич Филин, filin.va@sut.ru

Санкт-Петербургский государственный университет телекоммуникаций им. проф. М.А. Бонч-Бруевича,
Санкт-Петербург, 193232, Российская Федерация

Аннотация

Цифроаналоговые преобразователи широко и эффективно применяются в радиоэлектронной аппаратуре различного назначения, когда необходимо преобразование цифрового кода управления в аналоговый параметр – ток или напряжение. Их используют, в том числе и в цифроаналоговых синтезаторах частоты для получения требуемой формы огибающей синтезируемого сигнала, широко применяют в видео- и аудиоинтерфейсах, в цифровых осциллографах и в источниках прецизионных сигналов. В настоящее время основными проблемами при построении прецизионных и (или) быстродействующих цифроаналоговых преобразователей являются технологические ограничения производства, а именно – конечная точность реализации аналоговых элементов – прежде всего, аналоговых ключей напряжения (тока) и резисторов матрицы $R-2R$. Поэтому **актуален** структурный метод преодоления существующих технологических проблем.

Цель настоящей работы заключается в теоретическом обосновании нового подхода к идеологии цифроаналогового преобразования и в построении структур цифроаналоговых преобразователей повышенной точности и (или) быстродействия.

Решение проблемы заключается в увеличении числа опорных сигналов на входах парциальных цифроаналоговых преобразователей вне зависимости от их внутренней структуры, но при безусловном обеспечении жесткого дробно-кратного (нониусного) соотношения величин опорных сигналов. При этом сопряжение нониусных опорных сигналов необходимо производить всего в двух точках – в начале и в конце шкалы, причем на постоянном токе. Точность сопряжения нониусных шкал (опорных сигналов) должна соответствовать конечной точности цифроаналогового преобразования.

Новизна и оригинальность предлагаемого метода заключается в существенном расширении диапазона преобразования цифрового кода управления в аналоговый параметр, т. е. в получении нового качества цифроаналогового преобразования.

Возможность практической реализации новой структуры цифроаналогового преобразователя подтверждена теоретическими расчетами и схемотехническим моделированием с помощью пакета Microcap12, которое показало корректность разработанного метода. Предлагаемое решение позволяет обойти технологические ограничения производства на потенциально достижимую точность преобразования при изготовлении микросхем цифроаналогового преобразователя и обеспечивает качественно новые возможности техники цифроаналогового преобразования.

Ключевые слова: цифроаналоговый преобразователь, управляющий двоичный код, шаг квантования, арифметический сумматор, аналоговый сумматор, нониус, опорный сигнал, матрица $R-2R$, обращенная матрица, переключатели тока или напряжения

Ссылка для цитирования: Никитин Ю.А., Филин В.А. Моделирование параллельного нониусного цифроаналогового преобразователя второго типа // Труды учебных заведений связи. 2026. Т. 12. № 2. С. 53–63. DOI:10.31854/1813-324X-2026-12-2-53-63. EDN:DAQBCB

Original research

<https://doi.org/10.31854/1813-324X-2026-12-2-53-63>

EDN:DAQBCB

Simulating Parallel Vernier Second Type Digital-to-Analog Converter

 Yuri A. Nikitin✉, nikitin.ua@sut.ru Vladimir A. Filin, filin.va@sut.ru

The Bonch-Bruевич Saint Petersburg State University of Telecommunications,
St. Petersburg, 193232, Russian Federation

Annotation

Digital-to-analog converters are widely and effectively used in radio electronic equipment for various purposes when it is necessary to convert a digital control code into an analog parameter – current or voltage. They are also used in digital-to-analog frequency synthesizers to obtain the desired envelope shape of the synthesized signal, and are widely used in video and audio interfaces, digital oscilloscopes, and precision signal sources. Currently, the main problems in the construction of precision and (or) high-speed digital-to-analog converters are technological limitations of production, namely, the final accuracy of the implementation of analog elements, primarily analog voltage (current) switches and R-2R matrix resistors. Therefore, the structural method of overcoming existing technological problems is relevant.

The purpose of this work is to theoretically substantiate a new approach to the ideology of digital-to-analog conversion and to build structures of digital-to-analog converters with increased accuracy and (or) high performance.

The solution to the problem is to increase the number of reference signals at the inputs of partial digital-to-analog converters, regardless of their internal structure, but while unconditionally ensuring a strict fractional-multiple (vernier) ratio of the values of the reference signals. At the same time, the vernier reference signals must be coupled at only two points – at the beginning and at the end of the scale, and at direct current. The accuracy of the vernier scale coupling (the accuracy of the reference signal coupling) must correspond to the final accuracy of the digital-to-analog conversion.

The novelty and originality of the proposed method lies in the significant expansion of the range of conversion of the digital control code into an analog parameter, i. e. in obtaining a new quality of digital-to-analog conversion.

The possibility of practical implementation of the new digital-to-analog converter structure is confirmed by theoretical calculations and circuit modeling using the Microcap12 package, which demonstrated the correctness of the proposed method. The proposed solution makes it possible to circumvent the technological limitations of production on the potentially achievable conversion accuracy in the manufacture of digital-to-analog converters chips and provides qualitatively new possibilities for digital-to-analog conversion technology.

Keywords: digital-to-analog converter, binary control code, quantization step, arithmetic adder, analog adder, vernier, reference signal, R-2R matrix, inverted matrix, current or voltage switches

For citation: Nikitin Yu.A., Filin V.A. Simulating Parallel Vernier Second Type Digital-to-Analog Converter. *Proceedings of Telecommunication Universities*. 2026;12(2):53–63. (in Russ.) DOI:10.31854/1813-324X-2026-12-2-53-63. EDN:DAQBCB

Введение

Цифроаналоговые преобразователи (ЦАП) цифрового кода управления в аналоговый параметр – ток или напряжение являются неотъемлемыми элементами цифровых структур обработки сигналов – начиная от инфранизких частот геолокации, гидроакустики, звукового и радиовещания, обра-

ботки видеосигналов и заканчивая оконечной аппаратурой радиолокационных станций. В стандартных ЦАП из единственного опорного сигнала U формируют сигналы с соответствующими значениями (весами) разрядов входного управляющего кода X , которые затем суммируют и образуют дискретные значения выходной аналоговой величины

Z – напряжения или тока [1–8]. Будем считать, что цифровой код управления – позиционный, а система счисления с основанием a – двоичная ($a = 2$).

Для двоичного ЦАП с единственным опорным сигналом U выходной сигнал определяется следующим образом:

$$Z = gUX = gU(a_{n-1}2^{n-1} + a_{n-2}2^{n-2} + \dots + a_02^0), \quad (1)$$

где U – опорный (эталонный) сигнал; g – коэффициент пропорциональности; $q_n \in (a_0, a_1, \dots, a_{n-1}) \equiv [0, 1]$ – коэффициенты двоичных разрядов, принимающие значения «0» или «1»; $n = 0, 1, \dots, \psi-1$ – номер двоичного разряда.

Величина ступеньки (шага квантования) на выходе такого ЦАП равна $h = U/(a^\psi - 1)$. В этом случае $Z = UX$ и точность преобразования является линейной функцией точности элементарных электронных компонентов ЦАП – резистивных матриц, ключей тока или напряжения и т. д., т. е. определяется технологией изготовления конкретной мик-

росхемы ЦАП и конечной точностью (разбросом) номинальных значений его внутренних элементов [1]. Основные структуры ЦАП базируются на суммировании парциальных токов или напряжений; типичные структуры таких ЦАП приведены на рисунках 1–4 [1, 6, 7].

Заметим, что в ЦАП с линейным суммированием токов (см. рисунок 1) парциальные токи ветвей изменяются в 2^{n-1} раз, что приводит к необходимости изменять топологию и площади p – n переходов в ключах SW для выравнивания значений сопротивлений открытых ключей и падения напряжения на p – n переходах открытых ключей.

На рисунках 1 и 2 ключ SW1 подключает (переключает) старший разряд ЦАП. Однако транзисторы генераторов тока I_n и ключей SW $_n$ (см. рисунок 2) имеют разную топологию, определяемую протекающими токами. Соответственно, разной будет схемная и конструктивная емкость и, следовательно, разное быстродействие двоичных разрядов.

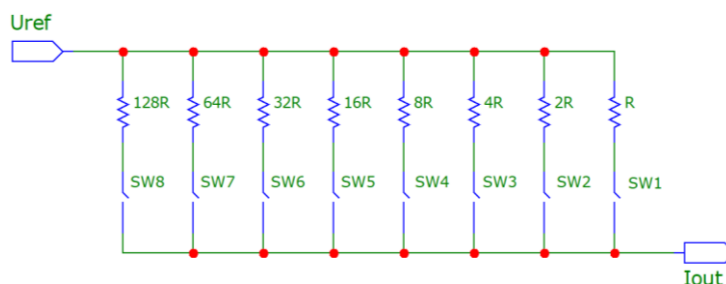


Рис. 1. 8-битный ЦАП с линейным суммированием токов

Fig. 1. 8-bit DAC with Linear Current Summation

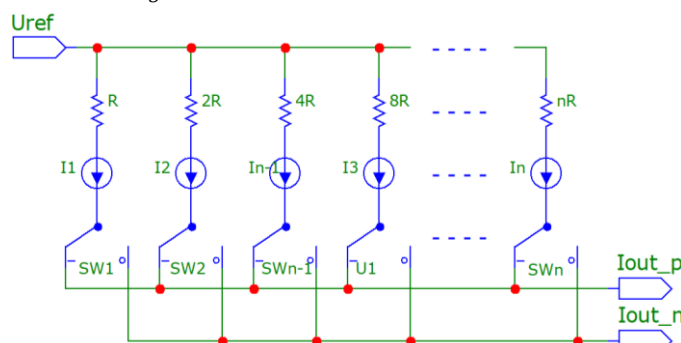


Рис. 2. ЦАП с суммированием двоично-взвешенных токов, $n = q_n 2^{-n}$, $n = 0, 1, 2, \dots, \psi-1$

Fig. 2. DAC with Binary-Weighted Current Summation, $n = q_n 2^{-n}$, $n = 0, 1, 2, \dots, \psi-1$

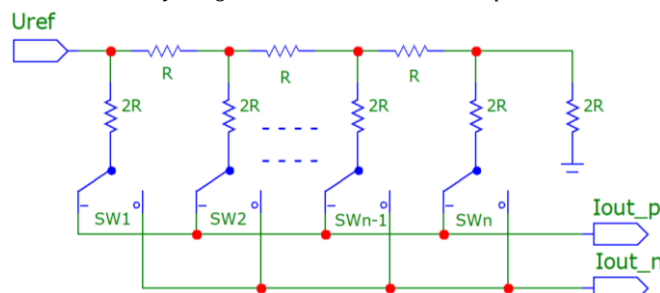
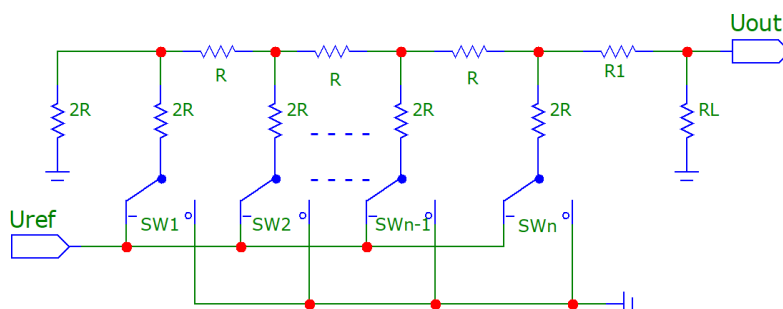


Рис. 3. ЦАП с суммированием весовых токов с помощью матрицы R2R

Fig. 3. DAC with Summation of Weight Currents Using an R2R Matrix

Рис. 4. ЦАП с суммированием напряжений на основе инверсной матрицы $R2R$ Fig. 4. Voltage Summing DAC Based on an Inverse $R2R$ Matrix

На рисунках 3 и 4 ключ SW1 переключает младший разряд ЦАП. Аналогичные проблемы у ключей SW ЦАП с суммированием весовых токов с помощью матрицы $R-2R$ (см. рисунок 3) и у ЦАП на основе суммирования напряжений с помощью обращенной матрицы $R2R$ (см. рисунок 4).

Развитие технологий производства биполярных транзисторов – основы ключей тока или напряжения, позволило уменьшить напряжение насыщения открытого ключа напряжения на биполярном транзисторе до 6–20 мВ в зависимости от протекающего тока [9], но для многоразрядных ЦАП этого недостаточно. Действительно, если принять величину опорного напряжения $U = 10,24$ В и разрядность ЦАП 8–10 бит, получим номинальную величину ступеньки такого ЦАП $h = 40$ –10 мВ, что соизмеримо с напряжением насыщения ключей SW (см. рисунок 5). Подобная коллизия приводит к необходимости параллельного включения транзисторов ключей SW старших разрядов (SW1, SW2) с целью уменьшения сопротивления в открытом состоянии для обеспечения требуемой точности всего ЦАП. В случае меньшего напряжения U проблемы возрастают. При этом величина коэффициента усиления транзисторов постоянна в широких пределах изменения тока коллектора (рисунок 6).

Погрешность преобразования ЦАП вследствие указанных причин в течение последних 30 лет почти не изменилась и не превышает 12–16 бит (www.analog.com/media/en/technical-documentation/data-sheets/ad5663.pdf; www.analog.com/media/en/technical-documentation/data-sheets/ad5664r.pdf). Поэтому характеристики преобразования реальных ЦАП отличаются от идеальных формой, величиной ступеней квантования и их расположением относительно осей координат (рисунок 7).

Для увеличения точности преобразования можно усложнять внутреннюю структуру ЦАП, увеличивать точность и стабильность параметров используемых элементов, но только в пределах технологических возможностей производства. В настоящее время указанные причины ограничивают максимально достижимую точность параллельного ЦАП 18–20 двоичными разрядами (битами) кода управления X .

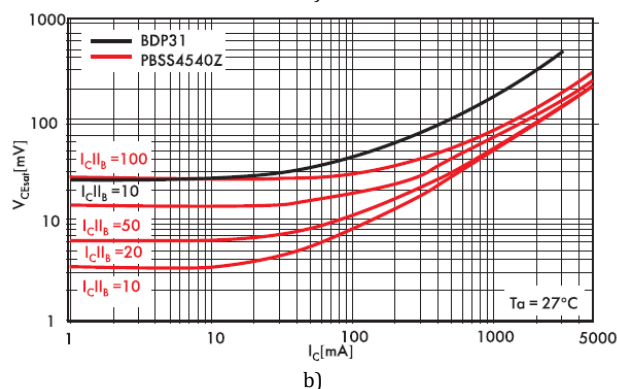
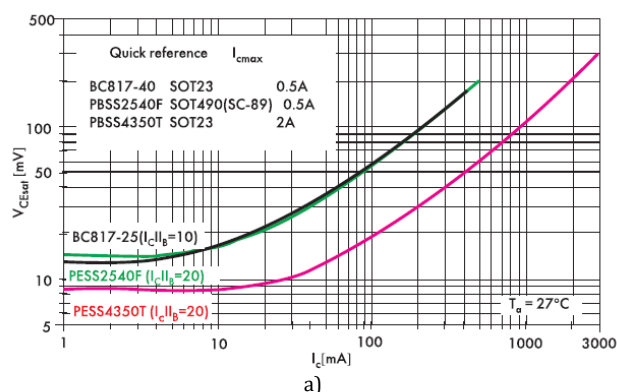
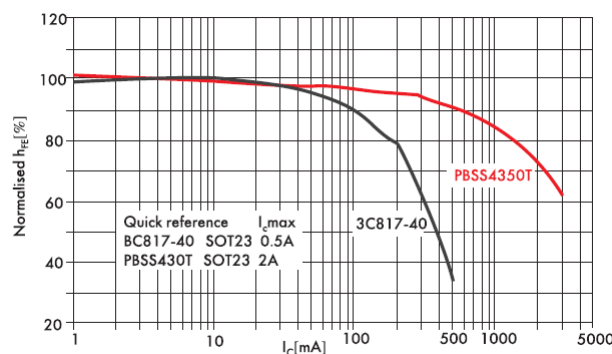


Рис. 5. Типовые значения для транзисторов серии BISS: а) напряжение насыщения для разных токов коллектора; б) зависимость напряжения насыщения от тока базы

Fig. 5. Typical Values for BISS Series Transistors: a) Saturation Voltage for Different Collector Currents; b) Dependence of Saturation Voltage on Base Current

Рис. 6. Зависимость коэффициента усиления h_{21} транзистора ключа от разрядного токаFig. 6. Dependence of the Gain h_{21} of the Key Transistor on the Discharge Current

Наиболее точные параллельные ЦАП реализуют заявленные параметры с помощью комбинации матрицы $R-2R$ стандартной разрядности 12–14 бит и дополнительного набора коммутируемых гене-

раторов «единичных» токов, число которых варьируется от 15 до 63 (рисунок 8), что дает дополнительно 4–6 двоичных разрядов до итоговой точности преобразования 18–20 бит <https://www.farnell.com/datasheets/2149287.pdf>.

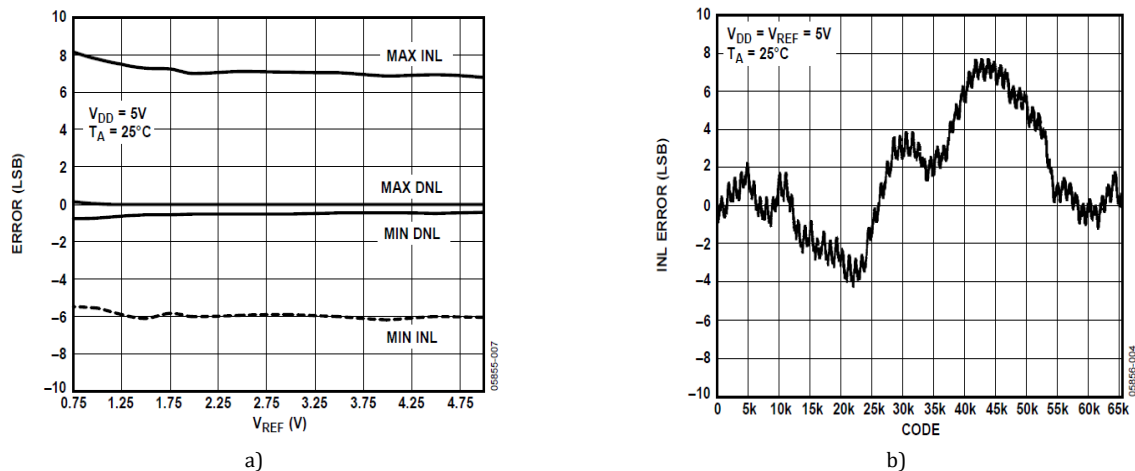


Рис. 7. Погрешности прецизионных ЦАП AD5663 (a) и AD5664R (b)

Fig. 7. Errors of the AD5663 (a) and AD5664R (b) Precision DACs

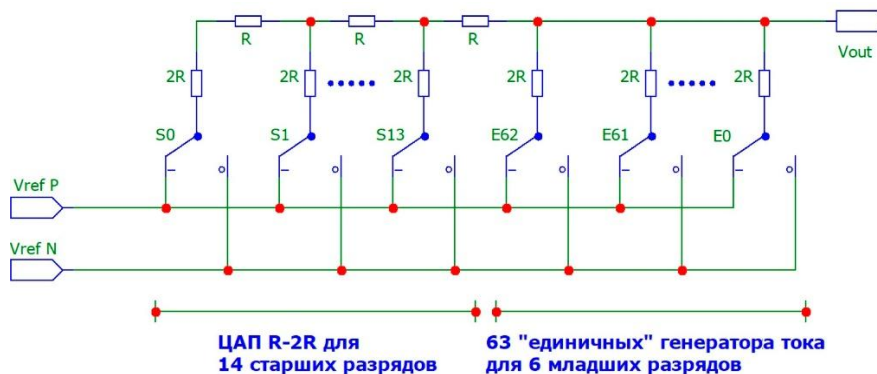


Рис. 8. Комбинированная структура матриц формирования весовых токов ЦАП AD5790

Fig. 8. Combined Structure of the AD5790 DAC Weighting Current Generation Matrices

Однако в рассмотренном способе цифроаналогового преобразования (см. рисунок 8) необходимо обеспечить высокую точность и 14-битовой матрицы $R-2R$, и 63 резисторов $2R$ матрицы токов 6-ти младших разрядов. К этим двум аналоговым узлам структуры предъявляются жесткие требования по точности и температурной стабильности во всем диапазоне эксплуатационных воздействий. В дополнение к данной структуре необходим дешифратор двоичного 6-битового кода управления младшими разрядами в линейную комбинацию токов. Кроме того, значительно увеличивается площадь кристалла.

Постановка задачи

Возможны разные способы решения данных проблем [10, 11]. В основу одного из них (рисунок 9) положен принцип нониусного преобразования [11, 12] – использование не одного, единственного, но

двух опорных сигналов, находящихся в жестком дробно-кратном соотношении, т.е. осуществление тройки преобразований:

$$X \Rightarrow Z_1; X \Rightarrow Z_2; X \Rightarrow Z_3; Z_1, Z_2, Z_3 \Rightarrow Z_0.$$

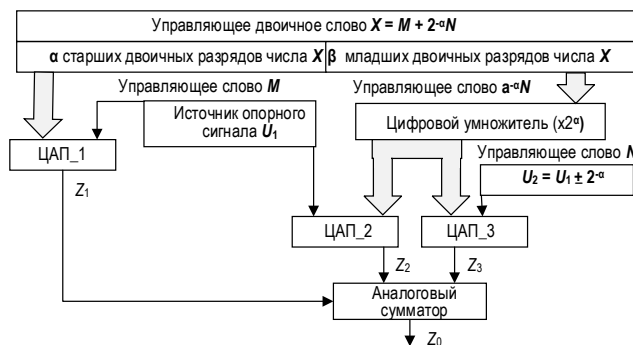


Рис. 9. Второй возможный способ нониусного цифроаналогового преобразования

Fig. 9. The Second Possible Method of Vernier Digital-to-Analog Conversion

Такое решение, как будет показано далее, позволяет резко повысить точность преобразования без существенного усложнения структур и схем используемых парциальных ЦАП, т. е. получить новое качество преобразования.

Иными словами, вместо единственного опорного сигнала присутствует пара (именно пара) опорных сигналов U_1 и U_2 , связанных жестким и однозначным соотношением:

$$U_2 = U_1(1 \pm 2^{-\alpha}), \quad (2)$$

где α – число двоичных разрядов, на которое сдвинут код управления $2^{-\alpha}N$, после чего производят суммирование преобразованных аналоговых сигналов Z_1 , Z_2 и Z_3 в выходной сигнал Z_0 .

Структуру числа X можно представить следующим образом:

$$X = X_{\alpha+\beta}X_{\alpha+\beta-1} \dots X_2X_1 \equiv 2^{-\alpha}M_{\alpha}N_{\beta},$$

где M_{α} – группа старших двоичных разрядов длины α , а N_{β} – группа младших двоичных разрядов длины β управляющего слова (числа) X . При этом желательно соблюсти условие $\alpha \equiv \beta$: пусть для десятичной системы счисления $X = 98765432$; тогда разбить его можно по-разному, лучше всего на числа примерно равной длины ($M_{\alpha} = 9876$, $N_{\beta} = 5432$) при этом $\alpha = \beta = 4$.

При представлении управляющего слова в десятичной системе счисления составляющие формулы (1) изменятся:

$$Z = gUX = gU(a_{n-1}10^{n-1} + a_{n-2}10^{n-2} + \dots + a_010^0), \quad (3)$$

где $q_n \in (a_0, a_1, \dots, a_{n-1}) \equiv [0, 1, 2, \dots, 9]$ – коэффициенты десятичных разрядов, принимающие значения от «0» до «9».

Выражение (2) с учетом (3) примет вид:

$$U_2 = U_1(1 \pm 10^{-\alpha}) = U_1(1 \pm 10^{-4}), \quad (4)$$

где точность соотношения должна быть не менее $10^{-\psi}$, т. е. 10^{-8} от полной шкалы или 100 нВ при $U_1 = 10$ В, а точность цифроаналогового преобразования составит 8 десятичных разрядов при 4-х разрядных десятичных парциальных ЦАП.

Теория работы

Практически число N_{β} есть результат умножения числа $2^{-\alpha}N_{\beta}$ в 2^{α} раз, (сдвинутое на α разрядов влево), т. е. умноженное цифровым способом в 2^{α} раз. Тогда можно записать значения парциальных сигналов Z в виде следующих выражений:

$$Z_1 = U_1M = U_1 \sum_{n=1}^{\alpha} q_{\alpha} 2^{-\alpha};$$

$$Z_2 = U_1N = U_1 \sum_{n=1}^{\beta} q_{\beta} 2^{-\beta};$$

$$Z_3 = U_2N = U_1(1 \pm 2^{-\alpha}) =$$

$$= U_1 \left(\sum_{n=1}^{\beta} q_{\beta} 2^{-\beta} \pm 2^{-\alpha} \sum_{n=1}^{\beta} q_{\beta} 2^{-\beta} \right);$$

$$Z_0 = Z_1 \mp Z_2 \pm Z_3 = U_1M \mp U_1N \pm U_2N =$$

$$= U_1 \left[\sum_{n=1}^{\alpha} q_{\alpha} 2^{-\alpha} \mp \sum_{n=1}^{\beta} q_{\beta} 2^{-\beta} \right] \pm$$

$$\pm U_1(1 \pm 2^{-\alpha}) \left[\sum_{n=1}^{\beta} q_{\beta} 2^{-\beta} \right] =$$

$$= U_1 \left\{ \sum_{n=1}^{\alpha} q_{\alpha} 2^{-\alpha} \mp \sum_{n=1}^{\beta} q_{\beta} 2^{-\beta} \pm \sum_{n=1}^{\beta} q_{\beta} 2^{-\beta} \right.$$

$$\left. + 2^{-\alpha} \sum_{n=1}^{\beta} q_{\beta} 2^{-\beta} \right\}.$$

При этом необходимо и достаточно соблюдение двух условий.

Во-первых, при алгебраическом суммировании сигналов Z_1 , Z_2 и Z_3 в выходном аналоговом сумматоре сигнал Z_3 должен вычитаться из сигнала Z_2 , для случая второго опорного сигнала $U_2 = U_1(1 - 2^{-\alpha})$ в соответствии с выражением:

$$Z_0 = Z_1 + Z_2 - Z_3 =$$

$$= U_1 \left[\sum_{n=1}^{\alpha} q_{\alpha} 2^{-\alpha} + \sum_{n=1}^{\beta} q_{\beta} 2^{-\beta} \right] -$$

$$- U_1(1 - 2^{-\alpha}) \left[\sum_{n=1}^{\beta} q_{\beta} 2^{-\beta} \right] =$$

$$= U_1 \left\{ \sum_{n=1}^{\alpha} q_{\alpha} 2^{-\alpha} + 2^{-\alpha} \sum_{n=1}^{\beta} q_{\beta} 2^{-\beta} \right\}.$$

Во-вторых, при алгебраическом суммировании сигналов Z_1 , Z_2 и Z_3 в выходном аналоговом сумматоре сигнал Z_2 должен вычитаться из сигнала Z_3 в соответствии с выражением:

$$Z_0 = Z_1 - Z_2 + Z_3 = U_1 \left[\sum_{n=1}^{\alpha} q_{\alpha} 2^{-\alpha} - \sum_{n=1}^{\beta} q_{\beta} 2^{-\beta} \right] +$$

$$+ U_1(1 + 2^{-\alpha}) \left[\sum_{n=1}^{\beta} q_{\beta} 2^{-\beta} \right] =$$

$$= U_1 \left\{ \sum_{n=1}^{\alpha} q_{\alpha} 2^{-\alpha} + 2^{-\alpha} \sum_{n=1}^{\beta} q_{\beta} 2^{-\beta} \right\},$$

но при этом $U_2 = U_1(1 + 2^{-\alpha})$.

Как следует из приведенных формул, данные преобразования приводят к одинаковому результату, что обеспечивает требуемую точность преобразования цифрового кода управления X в аналоговую величину Z_0 :

$$Z_0 = U_1 \left\{ \sum_{n=1}^{\alpha} q_{\alpha} 2^{-\alpha} + 2^{-\alpha} \sum_{n=1}^{\beta} q_{\beta} 2^{-\beta} \right\}.$$

Структура одного из возможных вариантов построения нониусного ЦАП, реализующего предлагаемый способ [11, 12], приведена на рисунке 9, где цифровой умножитель, в котором младшие β $2^{-\alpha}N_{\beta}$ разрядов управляющего слова $2^{-\alpha}N_{\beta}$ подвергаются цифровому умножению в 2^{α} раз (сдвиг влево на α разрядов); а также имеются источник опорного сигнала U_1 и источник опорного сигнала U_2 , парциальный ЦАП_1, аналоговый сумматор, парциальные ЦАП_2 и ЦАП_3; при этом опорные сигналы U_1 и U_2 связаны соотношением (2), и на выходе аналогового сумматора имеем выходной сигнал Z_0 .

В качестве числового примера рассмотрим вариант нониусного преобразования двухразрядного десятичного числа $X_{(10)} \leftrightarrow (M_{\alpha} + 10^{-1} N_{\beta})_{(10)}$ в абстрактный аналоговый параметр Z . Поскольку система счисления десятичная, число $X_{(10)}$ разбиваем на два одноразрядных: M_{α} и N_{β} , а опорные сигналы U в соответствии с (3) примут вид:

$$U_1 = 1,0; U_2 = 1,1 \times U_1.$$

Характерных вариантов будет два: для случая $5 \leq M_1 < 10$ и для случая $0 \leq M_1 < 5$. Пусть $M_1 = 7$ и $M_2 = 3$, а N принимает значения от 0 до 9. Сведем этапы вычислений и преобразований в таблицу 1.

ТАБЛИЦА 1. Нониус с суммированием

TABLE 1. Vernier with Summation

M_1	N	$Z_1 = U_1 \times M$	$Z_2 = U_1 \times N$	$Z_3 = U_2 \times N$	$Z_0 = Z_1 - Z_2 + Z_3$
$M_1 = 7; 5 \leq M_1 < 10$					
7	0	7	0	0,0	7,0
7	1	7	1	1,1	7,1
7	2	7	2	2,2	7,2
7	3	7	3	3,3	7,3
7	4	7	4	4,4	7,4
7	5	7	5	5,5	7,5
7	6	7	6	6,6	7,6
7	7	7	7	7,7	7,7
7	8	7	8	8,8	7,8
7	9	7	9	9,9	7,9
$M_1 = 3; 0 \leq M_1 < 5$					
3	0	3	0	0,0	3,0
3	1	3	1	1,1	3,1
3	2	3	2	2,2	3,2

M_1	N	$Z_1 = U_1 \times M$	$Z_2 = U_1 \times N$	$Z_3 = U_2 \times N$	$Z_0 = Z_1 - Z_2 + Z_3$
3	3	3	3	3,3	3,3
3	4	3	4	4,4	3,4
3	5	3	5	5,5	3,5
3	6	3	6	6,6	3,6
3	7	3	7	7,7	3,7
3	8	3	8	8,8	3,8
3	9	3	9	9,9	3,9

Единственными узлами нониусного ЦАП (см. рисунок 9), к которым следует предъявить жесткие требования по обеспечению точности, являются выходной аналоговый сумматор и источники опорных сигналов U_1 и U_2 , причем трудности по их реализации не являются непреодолимыми, более того, стандартными для (высоко) прецизионной электроники.

Так, например, при двадцатиразрядном входном двоичном слове ($\alpha = \beta = 10$) и $U_1 = 10$ В, требуемая относительная точность аналогового сумматора и источника $U_1 \delta_a \leq 2^{-20} \approx 10^{-6}$ (абсолютная точность – 9,5 мкВ), что вполне реализуемо на современной микроселектронной элементной базе. В случае, если $U_2 = 0,9 \times U_1$ и при тех же числовых параметрах, получим $Y_2 = 0,9 \times Y_1$, $U_2 = 0,9 \times U_1$ (таблица 2).

ТАБЛИЦА 2. Нониус с вычитанием

TABLE 2. Vernier with Subtraction

M	N	$Z_1 = Y_1 \times M$	$Z_2 = Y_1 \times N$	$Z_3 = Y_2 \times N$	$Z_0 = Z_1 + Z_2 - Z_3$
$M_1 = 7; 5 \leq M_1 < 10$					
7	0	7	0	0,0	7,0
7	1	7	1	0,9	7,1
7	2	7	2	1,8	7,2
7	3	7	3	2,7	7,3
7	4	7	4	3,6	7,4
7	5	7	5	4,5	7,5
7	6	7	6	5,4	7,6
7	7	7	7	6,3	7,7
7	8	7	8	7,2	7,8
7	9	7	9	8,1	7,9
$M_1 = 3; 0 \leq M_1 < 5$					
3	0	3	0	0,0	3,0
3	1	3	1	0,9	3,1
3	2	3	2	1,8	3,2
3	3	3	3	2,7	3,3
3	4	3	4	3,6	3,4
3	5	3	5	4,5	3,5
3	6	3	6	5,4	3,6
3	7	3	7	6,3	3,7
3	8	3	8	7,2	3,8
3	9	3	9	8,1	3,9

В предлагаемом способе преобразования при любом соотношении чисел N и M не происходит потери разрядов при *росте точности* цифроаналогового преобразования в $\approx a^a$ раз, т. к. происходит значительное уменьшение погрешности, т. е. качественное увеличение точности преобразования параллельного цифроаналогового преобразователя преобразования без ужесточения требований к технологии изготовления элементов парциальных ЦАП этого преобразователя.

Моделирование

На рисунке 10 приведены: первый вариант 8-битовой модели такого ЦАП и второй вариант модели, а на рисунке 11 – временные диаграммы работы при точном сопряжении опорных шкал и запуске от

8-битового счетчика импульсов. Величина ступеньки выходного напряжения 30 мВ при величине ступенек парциальных ЦАП равна 480 и 512 мВ.

Заметим, что требования к высокой точности предъявляются только к источникам опорного сигнала – напряжений U_1 и U_2 и к соблюдению соотношения (2) на *постоянном токе* и в *двух точках шкалы* – в начале и в конце. Итоговая точность преобразования в предлагаемом способе равна Ψ бит или 2^Ψ единиц полной шкалы при точности преобразования используемых ЦАП $\Psi/2$ бит. На рисунке 12 приведена упрощенная 8-битовая модель такого ЦАП с ошибкой воспроизведения шкал, а на рисунке 13 – временные диаграммы его работы при неточной настройке шкал с ошибкой и запуске от 8-битового счетчика импульсов.

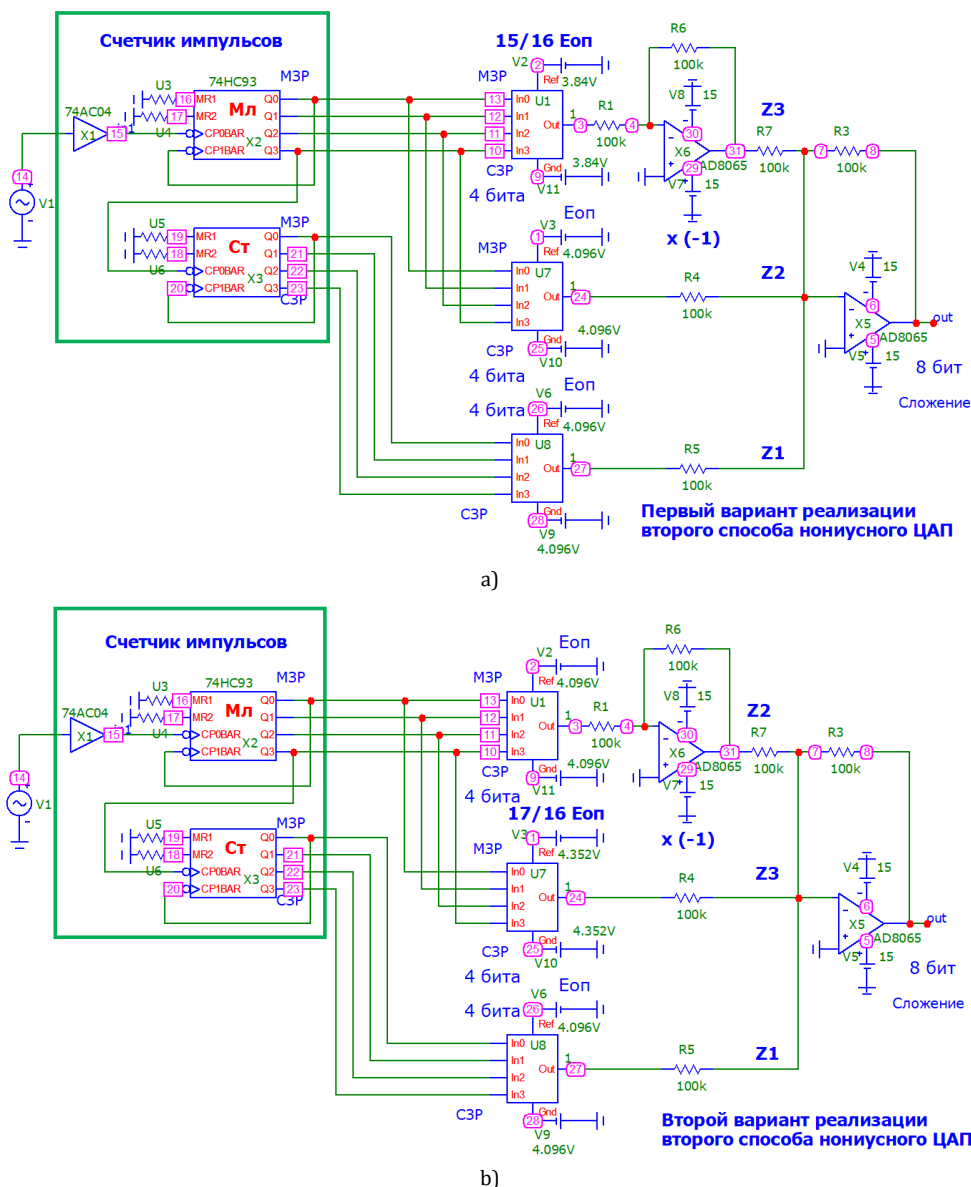


Рис. 10. Модель нониусного ЦАП второго типа с точным сопряжением опорных шкал: первый (а) и второй (б) вариант

Fig. 10. Model of a Second Type Vernier DAC with Precise Matching of Reference Scales: First (a) and Second (b) Variants

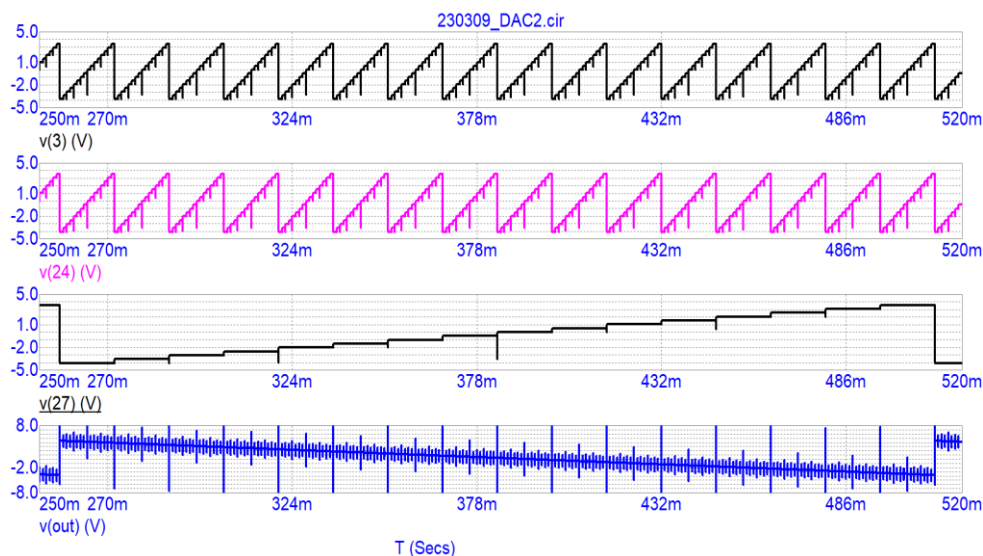


Рис. 11. Временные диаграммы работы нониусного ЦАП второго типа с точным сопряжением опорных шкал
Fig. 11. Timing Diagrams of the Operation of a Vernier DAC of the Second Type with Precise Matching of Reference Scales

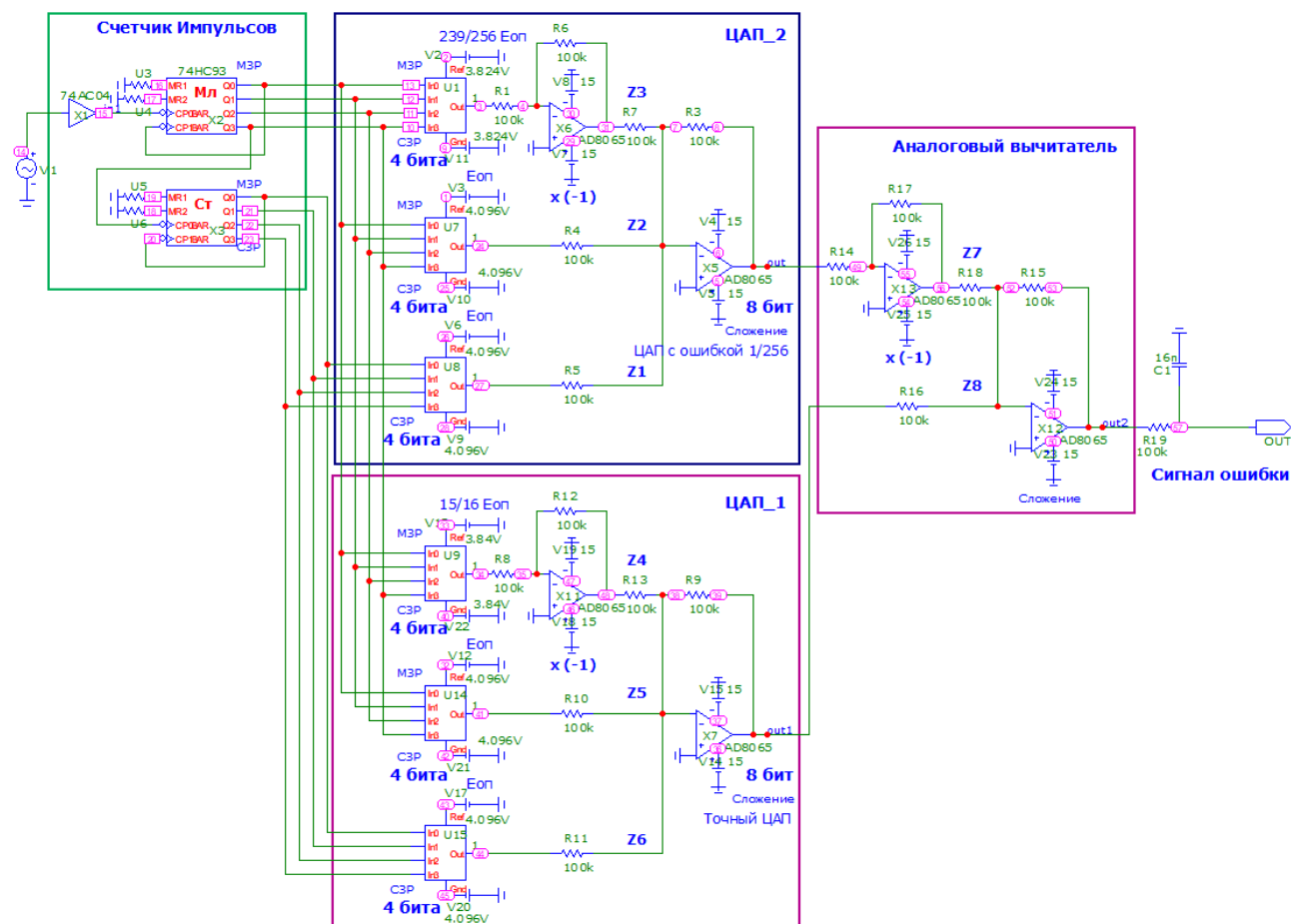


Рис. 12. Модель нониусного ЦАП второго типа с неточной настройкой
Fig. 12. Model of a Second Type Vernier DAC with Imprecise Tuning

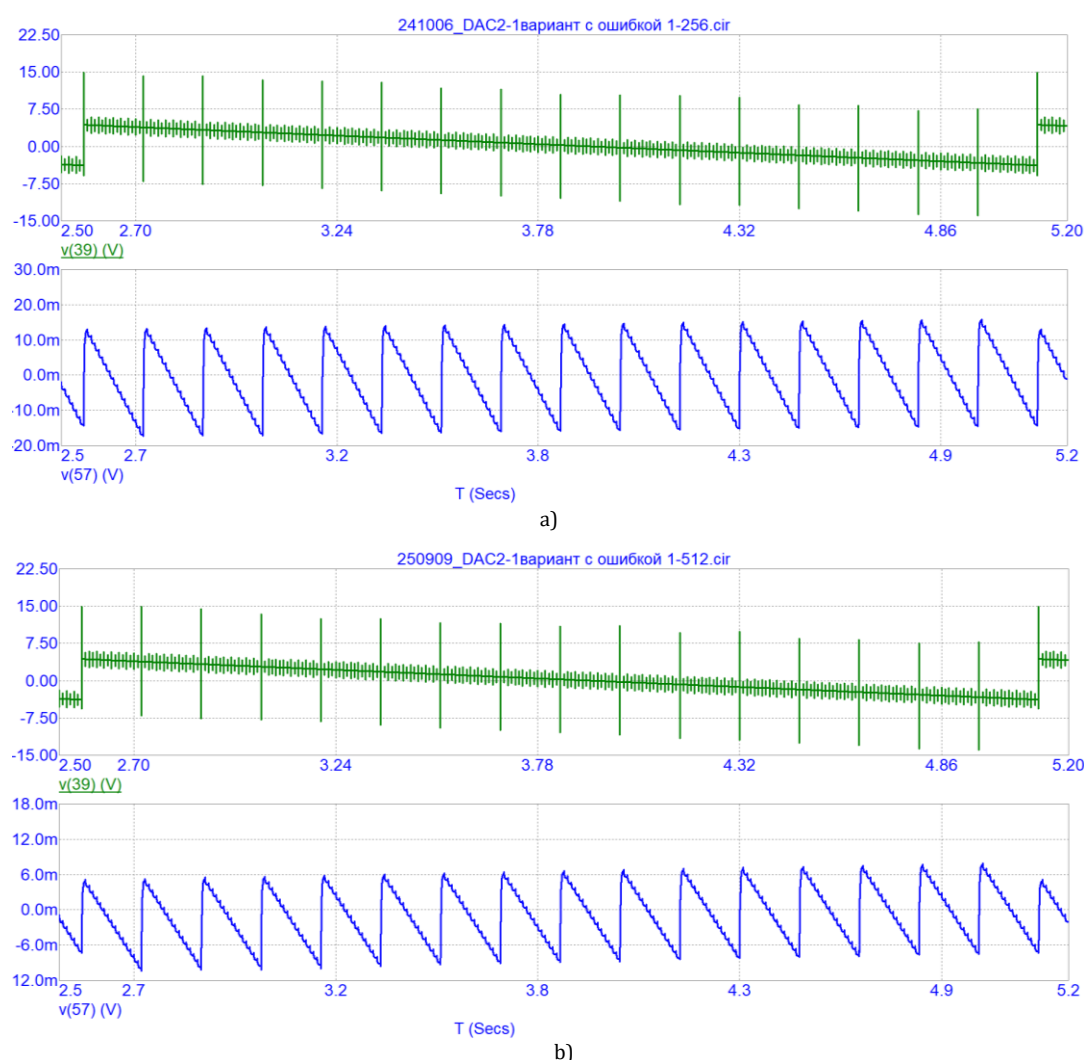


Рис. 13. Временные диаграммы его работы с ошибкой сопряжения шкал 1 (а) и 0,5 МЗР (b): 1/256 и 1/512 полной шкалы

Fig. 13. Timing Diagrams of its Operation with a Scale Conjugation Error of 1 (a) and 0.5 LSB (b): 1/256 and 1/512 of the Full Scale

Выводы

Анализ результатов показывает линейную зависимость воспроизведения выходного напряжения от ошибки сопряжения в (2). При производстве нониусных ЦАП потребуются АЦП той же точности, что и у «конечного» ЦАП. В настоящее время выпускаются микросхемы сигма-дельта АЦП с разрядностью 24 и 32 бит (www.analog.com/media/en/technical-documentation/data-sheets/ad4630-24.pdf; www.analog.com/media/en/technical-documentation/data-sheets/AD7771.pdf; www.analog.com/media/en/technical-documentation/data-sheets/250032fb.pdf).

Имея пару опорных сигналов, жестко связанных соотношением (2), можно получить новое качество преобразования при сохранении технологических ограничений производства на точность входящих в структуру (см. рисунок 9) аналоговых узлов.

Рассматриваемый способ нониусного ЦАП позволяет, при необходимости, увеличить быстродействие ЦАП, уменьшив вдвое разрядность исходных элементов (т. е. в $2^{1/2}$ раз) [13, 14].

Список источников

1. Титце У., Шенк К. Полупроводниковая схемотехника: справочник. Пер. с нем. М.: Мир, 1982. 512 с.
2. Потоцкий А.П., Сафьянников Н.М., Смолов В.Б., Угрюмов Е.П. Преобразователь код-аналог. Патент на изобретение СССР No 1508347 A1 от 08.12.1986. Оpubл. 20.03.1999.
3. Смолов В.Б., Угрюмов Е.П., Герасимов И.В., Рачев Б.Д., Фархи О.А. Элемент с цифро-управляемой проводимостью. Патент на изобретение СССР No 1182543 A1 от 26.04.1984. Оpubл. 30.09.1985.
4. Федорков Б.Г., Телец В.П. Микросхемы ЦАП и АЦП: функционирование, параметры, применение. М.: Энергомашиздат, 1990. 320 с.

5. Смоллов В.Б. Функциональные преобразователи информации. Л.: ЭНЕРГОИЗДАТ, 1981. 247 с.
6. Марцинкявичус А.-Й. Быстродействующие интегральные микросхемы ЦАП и АЦП и измерение их параметров. М.: Радио и связь, 1988. 224 с.
7. Смоллов В.Б. Микроэлектронные цифро-аналоговые и аналого-цифровые преобразователи информации. Л.: Энергия, 1976. 336 с.
8. Никитин Ю.А. Моделирование параллельного нониусного цифроаналогового преобразователя первого типа // Труды учебных заведений связи. 2025. Т. 11. № 4. С. 7–16. DOI:10.31854/1813-324X-2025-11-4-7-16. EDN:BAUBXX
9. Шелехнев А. Прорыв в технологии малосигнальных транзисторов // Компоненты и технологии. 2003. № 6(32). С. 52–55. EDN:LMGIXK
10. Никитин Ю.А. Способ нониусного цифроаналогового преобразования. Патент на изобретение RU 2703228 C1 от 18.03.2019. Опубл. 15.10.2019. EDN: VEPXBS
11. Никитин Ю.А. Способ нониусного цифроаналогового преобразования. Патент на изобретение RU 2726911 C1 от 02.07.2019. Опубл. 16.07.2020. EDN:NXAXDF
12. Nikitin Y.A. Method of vernier digital-to-analog conversion. Patent USA, no. 11.736.117 B2. 10.11.2022.
13. Никитин Ю.А. Построение многозарядного параллельного цифроаналогового преобразователя // IX Международная научно-техническая и научно-методическая конференция «Актуальные проблемы инфотелекоммуникаций в науке и образовании» (Санкт-Петербург, Российская Федерация, 26–27 февраля 2020 г.). СПб.: СПбГУТ, 2020. Т. 3. С. 476–480. EDN:WOEOEQ
14. Никитин Ю.А. Теория цифроаналогового синтеза частот с помощью конечных автоматов. СПб.: Санкт-Петербургский государственный университет телекоммуникаций им. проф. М.А. Бонч-Бруевича, 2024. 342 с.

References

1. Tiietze U., Schenk Ch. *Semiconductor circuit engineering*. Translated from German. Moscow: Mir Publ.; 1982. 512 p. (in Russ.)
2. Potocki A.P., Safyannikov N.M., Smolov V.B., Ugryumov E.P. *Code-to-analog converter*. Patent USSR, no. 1508347 A1, 20.03.1999. (in Russ.)
3. Smolov V.B., Ugryumov E.P., Gerasimov I.V., Rachev B.D., Farhi O.A. *Element with digitally controlled conductivity*. Patent USSR, no. 1182543 A1, 30.09.1985. (in Russ.)
4. Fedorkov B.G., Telets V.P. *DAC and ADC microcircuits: operation, parameters, application*. Moscow: Energomashizdat Publ.; 1990. 320 p. (in Russ.)
5. Smolov V.B. *Functional information converters*. Leningrad: Energoizdat Publ.; 1981. 247 p. (in Russ.)
6. Marcinkevičius A.-J. *High-speed integrated circuits DAC and ADC and measurement of their parameters*. Moscow: Radio i svyaz Publ.; 1988. 224 p. (in Russ.)
7. Smolov V.B. *Microelectronic digital-to-analog and analog-to-digital information converters*. Leningrad: Energiya Publ.; 1976. 336 p. (in Russ.)
8. Nikitin Yu.A. Simulation of the First Type Parallel Vernier Digital-to-Analog Converter. *Proceedings of Telecommunication Universities*. 2025;11(4):7–16. (in Russ.) DOI:10.31854/1813-324X-2025-11-4-7-16. EDN:BAUBXX
9. Shelekhnev A. Breakthrough in Small-Signal Transistor Technology. *Components and Technologies*. 2003;6(32):52–55. (in Russ.) EDN:LMGIXK
10. Nikitin Yu. A. *Vernier digital-to-analog conversion method*. Patent RF, no. 2703228, 15.10.2019. (in Russ.)
11. Nikitin Yu. A. *Method of vernier digital-to-analog conversion*. Patent RF, no. 2726911, 16.07.2020. (in Russ.)
12. Nikitin Y.A. *Method of vernier digital-to-analog conversion*. Patent USA, no. 11.736.117 B2, 10.11.2022.
13. Nikitin Yu. Construction of a multi-bit parallel digital-to-analog converter. *Proceedings of the IXth International Scientific, Technical and Scientific-Methodical Conference on Actual Problems of Infotelecommunications in Science and Education, 6–27 February 2020, St. Petersburg, Russian Federation, vol.3*. St. Petersburg: SPbSUT Publ.; 2020. p.476–480. (in Russ.) EDN:WOEOEQ
14. Nikitin Yu.A. *Theory of digital-to-analog frequency synthesis using finite automata*. St. Petersburg: The Bonch-Bruevich Saint Petersburg State University of Telecommunications Publ.; 2024. 342 p. (in Russ.).

Статья поступила в редакцию 18.11.2025; одобрена после рецензирования 20.01.2026; принята к публикации 22.01.2026

The article was submitted 18.11.2025; approved after reviewing 20.01.2026; accepted for publication 22.01.2026

Информация об авторах:

НИКИТИН Юрий Александрович	кандидат технических наук, доцент, доцент кафедры электроники Санкт-Петербургского государственного университета телекоммуникаций им. проф. М.А. Бонч-Бруевича  https://orcid.org/0000-0002-0749-9751
ФИЛИН Владимир Алексеевич	доктор технических наук, профессор кафедры электроники Санкт-Петербургского государственного университета телекоммуникаций им. проф. М.А. Бонч-Бруевича  https://orcid.org/0009-0006-5964-0194

Авторы сообщают об отсутствии конфликтов интересов.

The authors declare no conflicts of interests.