

Научная статья

УДК 004.387:621.3.087.93

<https://doi.org/10.31854/1813-324X-2025-11-4-7-16>

EDN:HIIFIU



# Моделирование параллельного нониусного цифроаналогового преобразователя первого типа

Юрий Александрович Никитин, [nikitin.ua@sut.ru](mailto:nikitin.ua@sut.ru)

Санкт-Петербургский государственный университет телекоммуникаций им. проф. М. А. Бонч-Бруевича, Санкт-Петербург, 193232, Российская Федерация.

## Аннотация

Цифроаналоговые преобразователи широко и эффективно используются в радиоэлектронной аппаратуре различного назначения, когда необходимо преобразование цифрового кода управления в аналоговый параметр – ток или напряжение. Их используют, в том числе, и в цифроаналоговых синтезаторах частоты для получения требуемой формы огибающей синтезируемого сигнала. В настоящее время основными проблемами при построении прецизионных и (или) быстродействующих цифроаналоговых преобразователей являются технологические ограничения производства, а именно – конечная точность реализации аналоговых элементов. Поэтому **актуален** структурный метод преодоления технологических ограничений.

**Цель** настоящей работы заключается в проведении сравнительного анализа классических методов цифроаналогового преобразования на основе матрицы  $R\text{-}2R$  и в обосновании нового подхода к идеологии цифроаналогового преобразования и построению цифроаналоговых преобразователей повышенной точности и (или) быстродействия.

**Решение** проблемы заключается в увеличении числа опорных сигналов на входах парциальных цифроаналоговых преобразователей при безусловном обеспечении их жесткого дробно-кратного (нониусного) соотношения. При этом сопряжение нониусных шкал необходимо производить в одной точке и на постоянном токе. Точность сопряжения шкал должна соответствовать конечной точности цифроаналогового преобразования.

**Новизна** и оригинальность предлагаемого метода подтверждена теоретическими расчетами, структурным и схемотехническим моделированием, натурным моделированием, а также патентами России и США.

**Возможность практической реализации** новой структуры цифроаналогового преобразователя подтверждена схемотехническим моделированием с помощью пакета Microcap12 и натурным макетированием, которые подтвердили корректность предлагаемого метода.

Предлагаемое решение позволяет обойти технологические ограничения на потенциально достижимую точность преобразования при производстве микросхем ЦАП и обеспечивает качественно новые возможности техники цифроаналогового преобразования.

**Ключевые слова:** цифроаналоговый преобразователь, управляющий код, шаг квантования, арифметический сумматор, аналоговый сумматор, нониус, мерная шкала, матрица  $R\text{-}2R$ , переключатели тока или напряжения

**Ссылка для цитирования:** Никитин Ю.А. Моделирование параллельного нониусного цифроаналогового преобразователя первого типа // Труды учебных заведений связи. 2025. Т. 11. № 4. С. 7–16. DOI:10.31854/1813-324X-2025-11-4-7-16. EDN:HIIFIU

Original research

<https://doi.org/10.31854/1813-324X-2025-11-4-7-16>

EDN:HIIFIU

# Simulation of the First Type Parallel Vernier Digital-to-Analog Converter

 Yuri A. Nikitin, [nikitin.ua@sut.ru](mailto:nikitin.ua@sut.ru)

The Bonch-Bruевич Saint Petersburg State University of Telecommunications,  
St. Petersburg, 193232, Russian Federation

## Annotation

Digital-to-analog converters are widely and effectively used in radio-electronic equipment for various purposes, when it is necessary to convert a digital control code into an analog parameter - current or voltage. They are used, among other things, in digital-to-analog frequency synthesizers to obtain the required envelope shape of the synthesized signal. At present, the main problems in the construction of precision and (or) high-speed digital-to-analog converters are technological limitations of production, namely, the final accuracy of the implementation of analog elements. Therefore, a structural method for overcoming technological limitations is **relevant**.

**The purpose of this paper** is to conduct a comparative analysis of classical digital-to-analog conversion methods based on the R-2R matrix and to substantiate a new approach to the ideology of digital-to-analog conversion and the construction of digital-to-analog converters of increased accuracy and (or) speed.

**The solution to the problem** lies in increasing the number of reference signals at the inputs of partial digital-to-analog converters while unconditionally ensuring their strict fractional-multiple (vernier) ratio. In this case, the conjugation of the vernier scales must be performed at one point and on direct current. The accuracy of the conjugation of the scales must correspond to the final accuracy of the digital-to-analog conversion.

**The novelty** and originality of the proposed method are confirmed by theoretical calculations, structural and circuit modeling, full-scale modeling, as well as Russian and US patents.

**The possibility of practical implementation** of the new structure of the digital-to-analog converter is confirmed by circuit modeling using the Microcap12 package and full-scale prototyping, which confirmed the correctness of the proposed method.

The proposed solution allows to bypass technological limitations on the potentially achievable conversion accuracy in the production of DAC microcircuits and provides qualitatively new capabilities of digital-to-analog conversion technology.

**Keywords:** digital to analog converter, control code, quantization step, arithmetic adder, analog adder, vernier, measuring scale, R-2R matrix, current or voltage switches

**For citation:** Nikitin Yu.A. Simulation of the First Type Parallel Vernier Digital-to-Analog Converter. *Proceedings of Telecommunication Universities*. 2025;11(4):7–16. (in Russ.) DOI:10.31854/1813-324X-2025-11-4-7-16. EDN:HIIFIU

## Введение

Методы цифроаналогового преобразования давно и успешно применяются в различных областях техники – прежде всего, в аудио- и видеотехнике, в измерительной технике, в системах автоматического регулирования и цифроаналогового синтеза частот. При преобразовании цифрового кода управления в аналоговый параметр – частоту, время (период), ток или напряжение используют различные принципы и структуры. Для получения частоты, пропорциональной коду управления,

применяют либо конечные автоматы (КА), чисто цифровые устройства, в виде накапливающих сумматоров (НС), либо разновидности систем автоматического регулирования – умножающие кольца импульсно-фазовой автоподстройки частоты (ИФАП) [1]. Для получения периода, пропорционального коду управления, применяют счетчики импульсов (СИ) – в технике синтеза частот их называют делителями с переменным или дробно-переменным коэффициентом деления, соответственно, ДПКД или ДДПКД [1]. Для получения тока

или напряжения, пропорционального коду управления, используют параллельные (как самые быстросействующие) двоичные цифроаналоговые преобразователи (ЦАП) на основе коммутируемых матриц  $R-2R$ . Они характеризуются наилучшим соотношением точность / технологичность [2–9].

У таких ЦАП имеется один источник опорного сигнала, как правило, напряжения  $E$ , резисторная матрица  $R-2R$  и ключи тока или напряжения, с помощью которых поразрядно формируют аналоговые сигналы, пропорциональные соответствующим цифровым разрядам входного двоичного управляющего кода  $X$ . Затем эти сигналы суммируют и образуют дискретные значения выходной аналоговой величины  $U$  – напряжения или тока  $I$ .

Типичные структуры параллельного ЦАП вида  $R-2R$  с прямым и инверсным включением матриц  $R-2R$  приведены на рисунке 1 [5, 6, 10]. При прямом включении матрицы  $R-2R$  происходит поразрядное двоичное деление опорного напряжения  $E$  в соответствии с цифровым кодом управления  $X$ .

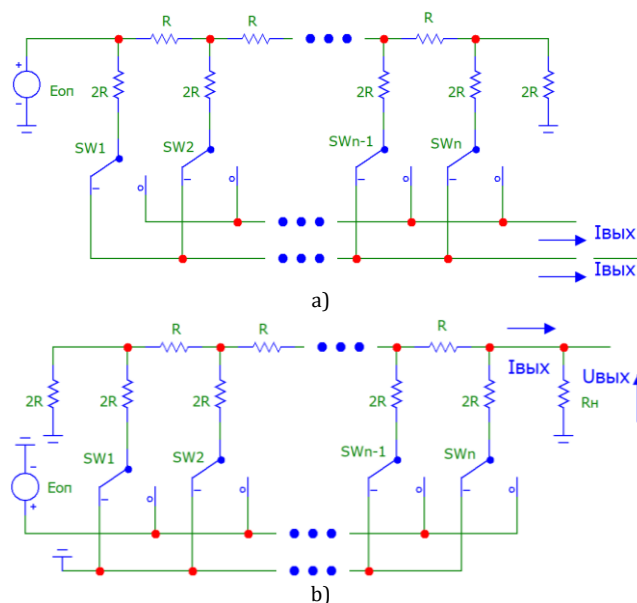


Рис. 1. Типовая структура параллельного ЦАП  $R-2R$ : а) с прямым включением матрицы; б) с инверсным включением матрицы

Fig. 1. Typical Structure of a Parallel  $R-2R$  DAC: a) with Direct Matrix Connection; b) with Inverse Matrix Connection

Ключи  $SW$  переключают токи матрицы, уменьшающиеся по двоичному закону. Более того – все транзисторы ключей  $SW$  на рисунке 1а должны иметь разную площадь  $p-n$  переходов для того, чтобы плотность коммутируемого тока у каждого ключа была постоянной. Тогда одинаковым будет и падение напряжения на  $p-n$  переходах всех ключей. Ток через ключ старшего значащего разряда у 8-битового ЦАП при  $E_{оп} = 10$  В,  $R = 1$  кОм равен 2500 мкА, а через ключ младшего значащего разряда – 39,0625 мкА.

Кроме того, коллекторные напряжения ключей матрицы изменяются в широких пределах, в данном примере от 5000 мВ в старшем разряде до 78,125 мВ в младшем разряде. Также необходимо учитывать напряжения насыщения транзисторов ключей при выборе номинальных значений резисторов матрицы  $R-2R$ . И при увеличении числа разрядов матрицы  $R-2R$  проблемы сохранения точности преобразования будут множиться и ухудшаться.

Величина шага квантования (единичной ступеньки) на выходе такого ЦАП равна:

$$s = E / (a^\Psi - 1),$$

где  $\Psi$  – число двоичных разрядов в управляющем слове  $X$ .

В этом случае  $U = E \times X$ , и имеет место «классическое» преобразование  $X \rightarrow U$ , при этом точность преобразования является линейной функцией точности электронных компонентов ЦАП – резистивных матриц, ключей тока или напряжения и т. д., таким образом определяется возможностями технологии изготовления микросхемы ЦАП и разбросом значений его внутренних элементов<sup>1,2,3,4</sup>.

Точность преобразования (разрядность) ЦАП в течение последних 30 лет практически не изменилась и не превышает 12...16 бит. Данные производителей микросхем о достигнутой большей точности нивелируются приведенными ими же цифрами (интегральной) нелинейности преобразования кода управления в 2...5 и более единиц младшего значащего разряда ЦАП.

Для увеличения точности цифроаналогового преобразования усложняют внутреннюю структуру ЦАП, вводят элементы подстройки, увеличивают точность и стабильность параметров используемых элементов – но только в пределах возможностей технологии конкретного производства [10]. В настоящее время указанные причины ограничивают максимально достижимую точность параллельного ЦАП 18...20 двоичными разрядами (битами) кода управления  $X$ .

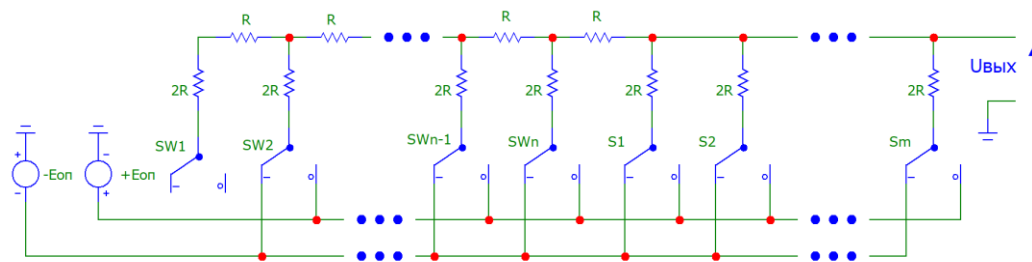
Наиболее точные и быстросействующие параллельные ЦАП реализуют заявленные параметры с помощью комбинации матрицы  $R-2R$  разрядности 12...14 бит (старшие разряды шкалы) с добавлением набора коммутируемых генераторов «единичных» токов, число которых может изменяться от 15 до 63. Такое решение дает дополнительно 4...6 двоичных разрядов к полной точности преобразования (рисунок 2) [11], но при этом существенно увеличивает площадь кристалла ЦАП.

<sup>1</sup> [www.analog.com/media/en/technical-documentation/data-sheets/ad5541.pdf](http://www.analog.com/media/en/technical-documentation/data-sheets/ad5541.pdf)

<sup>2</sup> [www.analog.com/media/en/technical-documentation/data-sheets/ad8675.pdf](http://www.analog.com/media/en/technical-documentation/data-sheets/ad8675.pdf)

<sup>3</sup> [www.analog.com/media/en/technical-documentation/data-sheets/2756fa.pdf](http://www.analog.com/media/en/technical-documentation/data-sheets/2756fa.pdf)

<sup>4</sup> [www.analog.com/media/en/technical-documentation/data-sheets/ad5790.pdf](http://www.analog.com/media/en/technical-documentation/data-sheets/ad5790.pdf)

Рис. 2. Комбинированная структура матриц формирования весовых токов в ЦАП AD5790:  $n = 14$ ,  $m = 63$ Fig. 2. Combined Structure of the Matrix for Generating Weight Currents in the AD5790 DAC:  $n = 14$ ,  $m = 63$ 

Более того, в рассмотренном способе цифроаналогового преобразования (см. рисунок 2) необходимо обеспечить высокую точность и 14-битовой матрицы  $R-2R$ , и 63 резисторов  $2R$  матрицы токов шести младших двоичных разрядов, и минимальный разброс сопротивлений переключателей  $E0...E62$ . К этим аналоговым узлам структуры предъявляются жесткие требования по точности, широкополосности и температурной стабильности во всем диапазоне эксплуатационных воздействий.

В дополнение к структуре младших разрядов  $E0...E62$  такого комбинированного ЦАП необходим дешифратор двоичного 6-битового кода управления в линейную комбинацию выходных токов, что усложняет схему и потенциально снижает ее быстродействие. Реализация данной структуры в гибридном или твердотельном исполнении является трудной и нетривиальной задачей, качественное решение которой по плечу лишь немногим мировым радиоэлектронным компаниям. Поэтому актуальна задача поиска и рассмотрения новых структур ЦАП, которые позволяют ослабить или исключить влияние конечной точности используемой элементной базы на итоговую точность цифроаналогового преобразования при отказе от предъявления повышенных требований к технологии производства. Цель настоящей работы заключается в рассмотрении теоретических и практических аспектов одного из альтернативных способов цифроаналогового преобразования, который не предъявляет новых (и жестких) требований к технологии серийного производства ЦАП. Методы исследования заключаются как в теоретическом обосновании возможности такого цифроаналогового преобразования, его использовании, в том числе, в технике цифроаналогового синтеза частот, так и моделировании нониусной структуры ЦАП с помощью пакета схемотехнического моделирования Microcap 12 и в натурном моделировании реального макета устройства нониусного цифроаналогового преобразования.

Научная новизна заключается в нетривиальном подходе к структурному синтезу цифроаналогового преобразования и определению требований к

элементам структуры. Теоретическая значимость заключается в том, что с помощью полученных выражений удобно производить анализ и инженерный расчет подобных структур.

### Нониусный ЦАП

Возможны разные способы решения данных проблем [10–13]. В основу одного из них положен принцип нониусного преобразования [14]: использование двух опорных сигналов  $E1$  и  $E2$ , находящихся в дробно-кратном соотношении с коэффициентом пропорциональности  $k$ , где  $k$  – рациональное число, и осуществляющих согласованные пары преобразований  $X \rightarrow U_1, U_2$ ;  $U_1, U_2 \rightarrow U_{\text{вых}}$ , где  $U_1, U_2$  – промежуточные значения цифроаналогового преобразования,  $U_{\text{вых}}$  – выходной аналоговый сигнал, например, напряжение.

При этом управляющее слово  $X$  (рисунок 3) можно представить в виде:

$$0 \leq X = \sum_{k=0}^{\Psi-1} q_k a^k, \quad (1)$$

где  $\Psi = \alpha + \beta$  – число разрядов управляющего слова  $X$ ;  $q$  – значащее число в  $k$ -м разряде.

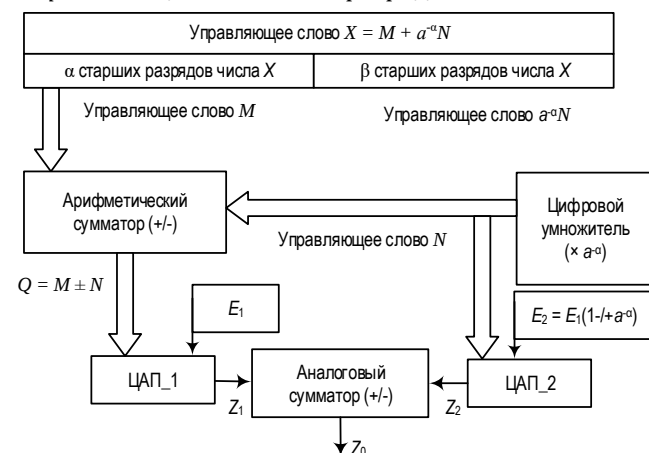


Рис. 3. Структура нониусного ЦАП первого типа

Fig. 3. The Structure of the First Type of Vernier DAC

Теорема: получение требуемой точности  $Z_0$  ЦАП первого типа обеспечивается определенным

сочетанием знаков в алгоритме выполнения операций – при арифметическом суммировании должно иметь место аналоговое вычитание, а коэффициент пропорциональности  $k < 1$ ; при арифметическом вычитании аналоговые сигналы должны складываться, а коэффициент пропорциональности  $k > 1$ ; указанные действия должны приводить к единообразному результату вида:

$$Z_0 = E_1 \left( \sum_{m=1}^{\alpha} q_m a^{-m} + a^{-\alpha} \sum_{n=1}^{\beta} q_n a^{-n} \right). \quad (2)$$

Иными словами, имеется пара опорных сигналов  $E_1$  и  $E_2$ , жестко связанных зависимостью:

$$E_2 = E_1 k = E_1 (1 \pm a^{-\alpha}), \quad (3)$$

$$k = (1 \pm a^{-\alpha}).$$

Тогда с учетом формулы (1) можно записать:

$$Z_1 = E_1 Q = E_1 \left( \sum_{m=1}^{\alpha} q_m a^{-m} \pm \sum_{n=1}^{\beta} q_n a^{-n} \right), \quad (4)$$

$$Z_2 = E_2 N = E_2 \sum_{n=1}^{\beta} q_n a^{-n}. \quad (5)$$

При выполнении указанного алгоритма преобразования в обоих случаях применения выражений (3), (4) и (5) точность нониусного преобразования будет определяться формулой (2). Теорема доказана.

Итоговая точность преобразования в предлагаемом способе равна  $(\Psi - 2)$  бит или  $2^{-(\Psi-2)}$  единиц полной шкалы при числе разрядов парциальных одинаковых ЦАП  $\Psi/2$  бит, т. е. при  $\alpha = \beta$ .

Каждый ЦАП, входящий в структурную схему (рисунок 3 [14, 15]), реализует свою заявленную точность (разрядность). ЦАП1 преобразует цифровое управляющее слово  $Q = M + N$  (сумму управляющих слов) в аналоговый сигнал  $Z_1$  с коэффициентом пропорциональности  $E_1 = 1$ . ЦАП2 преобразует цифровое управляющее слово  $N$  (младшие разряды) в аналоговый сигнал  $Z_2$  с коэффициентом пропорциональности  $E_1 = 1 \times (1 \pm a^{-\alpha})$ , где  $a$  – основание используемой системы счисления,  $\alpha$  – число разрядов парциальных ЦАП (общее число разрядов  $\Psi = 2\alpha$ ).

Например, для наглядности изложения примем, что используется трехдекадное цифроаналоговое преобразование (система счисления десятичная,  $a = 10$ ,  $\alpha = 3$ ). Арифметический сумматор выполняет операцию вычитания, поэтому коэффициент пропорциональности равен  $E_2 = 1,001$  в соответствии с (3). Пусть цифровое управляющее слово  $X = 456789$ , при этом слово  $M = 456$ , а слово  $N = 789$ . Тогда аналоговый сигнал  $Z_1 = (M - N) \times 1 = -333$ ;

аналоговый сигнал  $Z_2 = N \times 1,001 = 789,789$ . Выходной сигнал ЦАП  $Z_0 = Z_1 + Z_2 = 456,789$ , т. е. соответствует требуемому.

Можно поступить иначе. При тех же исходных данных арифметический сумматор выполняет операцию сложения, коэффициент пропорциональности, а  $E_2 = 0,999$  в соответствии с (3). Тогда аналоговый сигнал  $Z_1 = (M + N) \times 1 = 1245$ ; аналоговый сигнал  $Z_2$  равен  $N \times 0,999 = 788,211$ . Выходной сигнал ЦАП аналогичен предыдущему  $Z_0 = Z_1 - Z_2 = 456,789$ .

В некоторых случаях (и в данном примере) происходит переполнение разрядной сетки ЦАП1, поэтому число его разрядов должно быть больше числа разрядов ЦАП2 на единицу. Такое решение предпочтительно при проектировании микросхемы или микросборки нониусного ЦАП «с нуля». Если же в качестве парциальных ЦАП используются готовые микросхемы, приходится жертвовать одним разрядом в каждом ЦАП и потенциальный выигрыш в точности цифроаналогового преобразования уменьшается на два разряда.

Заметим, что точность соотношения опорных сигналов в (3) определяется числом  $\alpha$ , но должна соответствовать итоговой точности преобразования  $\Psi$ , причем в одной точке, что является дополнительным положительным качеством рассматриваемого метода цифроаналогового преобразования. Такой ЦАП полезно использовать в системах многоуровневого пассивного цифрового синтеза частот. Его применение позволяет существенно уменьшить уровень дискретных побочных спектральных составляющих, т. е. повысить качество выходного колебания. На рисунке 4 приведена структурная схема многоуровневого пассивного цифрового синтезатора частоты с квазигармонической или треугольной огибающими выходного сигнала, в структуру которого встроен нониусный ЦАП [15].

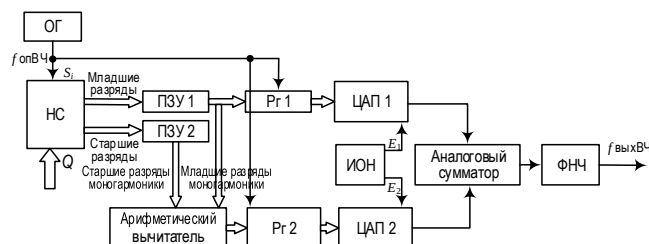


Рис. 4. Структурная схема многоуровневого пассивного цифрового синтезатора частот

Fig. 4. Structural Diagram of a Multi-Level Passive Digital Frequency Synthesizer

Указанный синтезатор частот состоит из опорного генератора, НС, блока общей постоянной памяти (ПЗУ – ПЗУ1 старших разрядов и ПЗУ2 младших разрядов), арифметического сумматора, работающего на вычитание, двух параллельных реги-

стров – младших разрядов  $P_{г1}$  и суммы  $P_{г2}$ , двух обычных ЦАП 1 и 2, источника нониусных опорных напряжений, аналогового сумматора токов (напряжений) и выходного фильтра нижних частот.

### Многоуровневый синтез частоты

Напряжение на первом и втором выходах ( $E_1$  и  $E_2$ ) источника нониусных опорных напряжений должны быть связаны жесткой зависимостью, аналогичной (2):

$$E_1 = E_2 \frac{2^n}{2^n - 1} = E_2(1 \pm \alpha^{-\alpha}),$$

где  $n$  – число разрядов двоичных ЦАП.

Синтезатор частоты с нониусным ЦАП работает следующим образом. Последовательность импульсов с частотой  $f_{опвч}$  поступает с выхода опорного генератора на тактовый вход НС, имеющего емкость  $M = 2^m$ ,  $m > n$ . Каждый тактовый импульс уменьшает выходной код НС на величину  $Q = f_{выхнч}/Fs$ , где  $Fs$  – шаг сетки синтезируемых частот. При этом емкость НС равна  $P = f_{опвч}/Fs$  единиц,  $P > Q$ .

Таким образом, на вход блока памяти поступает непрерывно меняющийся текущий код:

$$S_i = S_0 + iQ - \left\lfloor \frac{S_0 + iQ}{M} \right\rfloor M,$$

где  $S_0$  – начальное состояние НС;  $[*]$  – оператор выделения целой части числа, меньшей или равной ему.

В блоке ПЗУ содержатся старшие и младшие коды  $A_i$  мгновенных значений амплитуд гармонического или иного многоуровневого колебания, соответствующих мгновенных фаз:

$$\varphi_i = \frac{2\pi}{M}i \quad (i = 0, 1, 2 \dots M - 1).$$

Разрядность каждого управляющего слова на входах двоичных ЦАП равна  $n - 1$ . Параллельные регистры 1 и 2,  $n$ -разрядные ЦАП 1 и 2, источник опорных напряжений, арифметический вычитатель кодов и аналоговый сумматор токов (напряжений) выполняют роль быстродействующего многоразрядного ЦАП, преобразующего коды:

$$A_i = 2^n A_{i\_ст} - A_{i\_мл}$$

с выхода блока памяти в квазигармонический сигнал с требуемой формой огибающей, чаще всего, в квазимоногармонический, следующим образом. На два одинаковых  $n$ -разрядных двоичных ЦАП от источника опорных напряжений подаются опорные сигналы (токи или напряжения), связанные зависимостью (1).

На ЦАП 1 подаются младшие  $n - 1$  разряды кода управления  $A_{i\_мл}$ , а на ЦАП 2 – код разности между старшими и младшими разрядами  $A_{i\_ст} - A_{i\_мл}$ .

В результате на выходе арифметического вычитателя формируется  $n$ -разрядный код (его старший разряд – выход переноса вычитателя), поступающий на информационные входы параллельного регистра 2:

$$A_{i\_ст} + \overline{A_{i\_мл}} + 1 - 2^{n-1} + (A_{i\_ст} - A_{i\_мл}).$$

Одновременно на информационные входы параллельного регистра 1 поступает  $(n - 1)$  разрядный код  $A_{i\_мл}$ . Эти коды изменяются каждый такт опорной частоты и по каждому импульсу опорного генератора переписываются на входы регистров 1 и 2. Таким образом, на входы управления  $n$ -разрядного ЦАП 1 поступает код  $B_{1i}$ , составленный из  $(n - 1)$  разрядного кода  $A_{i\_мл}$  и логического «0» в старшем  $n$ -м разряде.

На выходе ЦАП 2 из опорного напряжения  $E_2$  образуется напряжение или ток, пропорциональные коду  $B_{2i}$ :

$$U_{2,i} = 2^{-n} E_2 B_{2i} = \frac{E_2}{2} \frac{A_{i\_мл}}{2^{n-1}-1}.$$

На входы управления  $n$ -разрядного ЦАП 2 поступает код:

$$B_{2i} = 2^{n-1} + (A_{i\_ст} - A_{i\_мл}).$$

На выходе ЦАП 1 из опорного напряжения  $E_1$  формируется напряжение или ток, пропорциональные коду управления  $B_{1i}$ :

$$U_{1,i} = 2^{-n} E_1 B_{1i} = \frac{E_1}{2} (1 - 2^{-(n-1)} A_{i\_ст} - 2^{-(n-1)} A_{i\_мл}).$$

Выходные напряжения  $U_{1,i}$  и  $U_{2,i}$  складываются в аналоговом сумматоре, на выходе которого формируется напряжение или ток:

$$\begin{aligned} U_{\text{вых}} &= U_{2,i} + U_{1,i} = \frac{E}{2} \left( 1 + \frac{A_{i\_ст}}{2^{n-1}} + \frac{A_{i\_мл}}{2^{n-1}} - \frac{A_{i\_мл}}{2^{n-1}} \right) = \\ &= \frac{E}{2} + \frac{E}{2^{2n-1}} (2^{n-1} A_{i\_ст} + A_{i\_мл} + \Delta) = \\ &= \frac{E}{2} + \frac{E}{2^{2n-1}} (A_i + \Delta), \end{aligned}$$

где

$$\Delta = A_{i\_мл} \frac{2^{n-1}}{2^{n-1}-1} - A_{i\_мл} = \frac{A_{i\_мл}}{2^{n-1}-1}.$$

Поскольку  $A_{i\_мл} \leq 2^{n-1}$ , то  $\Delta \leq 1$ . Таким образом, каждому коду мгновенной фазы  $S_i = \varphi_i$ , сформированному на выходе НС из блока ПЗУ, извлекается  $2(n - 1)$ -разрядный код  $A_i$  мгновенного значения амплитуды гармонического сигнала, который преобразуется в аналоговый сигнал – ток или напряжение, а на выходе аналогового сумматора с ошибкой, не превосходящей единицы младшего разряда полного кода управления  $S_i$ . Фильтр нижних частот служит для фильтрации высокочастотных помех сформированного квазигармонического колебания требуемой частоты с номером  $Q$ .

Спектральную чистоту такого колебания принято характеризовать шумом квантования мгновенных значений, уровень которых (по верхней оценке) определяется формулой:

$$D_{ш} = 20 \lg \frac{1}{\sqrt{6} A_{i_{\max}}},$$

где  $A_{i_{\max}}$  – число квантований амплитуды синтезируемого колебания.

При такой реализации нониусного ЦАП и использовании двух одинаковых  $n$ -разрядных парциальных ЦАП достигается величина  $A_{i_{\max}} = 2^{n-2}$ , т.е. спектральная чистота выходного колебания улучшена на  $20 \lg 2^{n-2}$  дБ. Например, при использовании 8-разрядного ЦАП 1118ПА1 уровень дробно кратных побочных спектральных составляющих будет не больше, чем  $-84 \text{ дБ} + 7,8 \text{ дБ} = -76,2 \text{ дБ}$  относительно амплитуды синтезируемого колебания. При использовании «классического» преобразования с помощью 8-разрядного ЦАП уровень некротных побочных спектральных составляющих

будет не больше, чем  $-48 \text{ дБ} + 7,8 \text{ дБ} = -40,2 \text{ дБ}$  относительно амплитуды синтезируемого колебания. При увеличении разрядности исходных ЦАП выигрыш увеличивается в геометрической прогрессии.

### Моделирование

Для проверки высказанных утверждений и проведенных расчетов с помощью пакета моделирования Microcap12 была промоделирована структура нониусного ЦАП, построенного на принципах, изложенных в [10, 11]. На рисунке 5а приведена упрощенная 6-битовая модель такого ЦАП с трактом цифрового вычитания и аналогового сложения, а на рисунке 5б – временные диаграммы его работы при запуске от счетчика импульсов. Для наглядности изложения ЦАП запускается счетчиком импульсов, на выходах которого генерируется линейно возрастающий код входного управляющего слова.

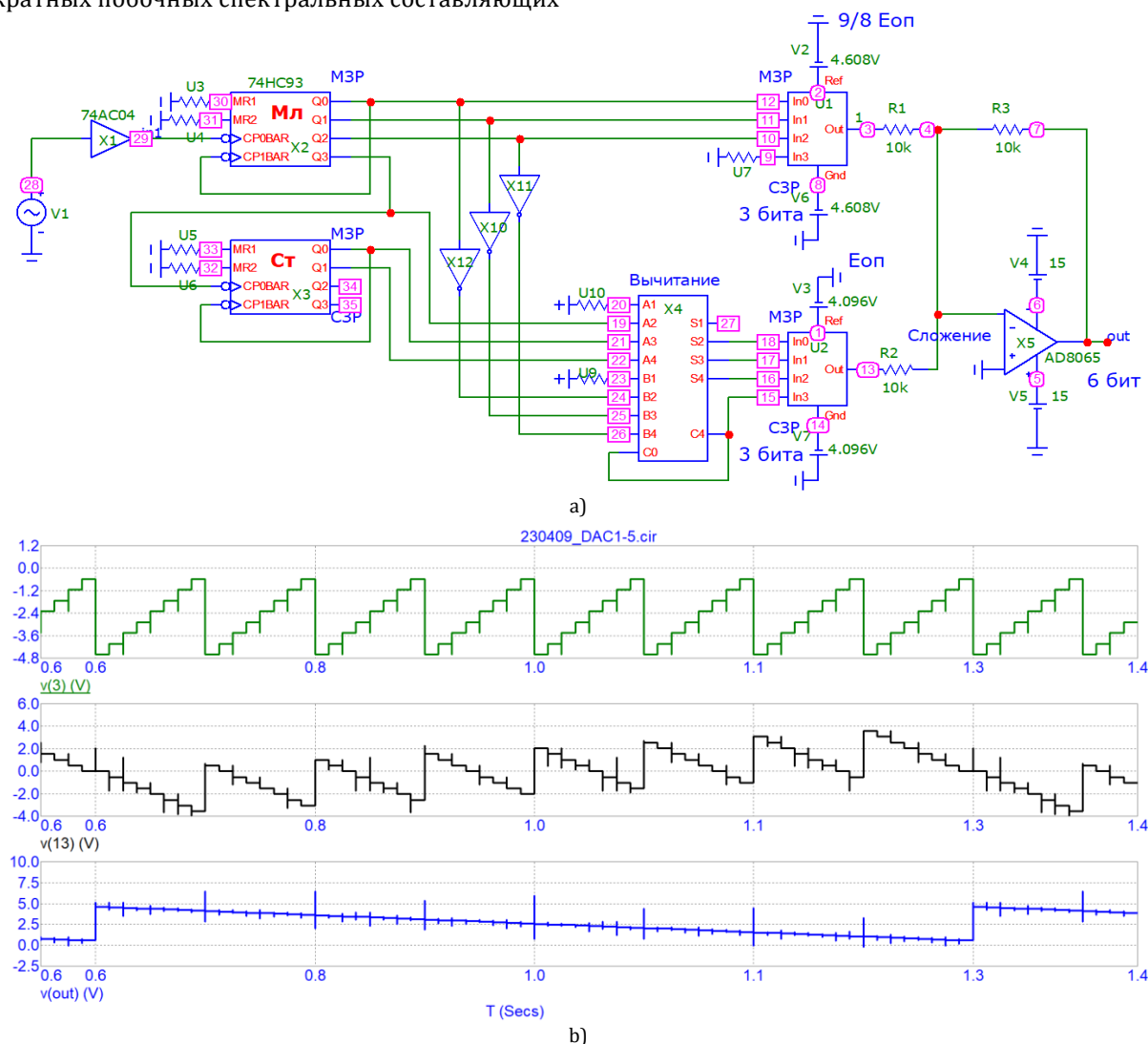


Рис. 5. Модель нониусного ЦАП первого типа с трактом цифрового вычитания кодов (а) и временные диаграммы ее работы (б)  
Fig. 5. Model of the First Type Vernier DAC with a Digital Code Subtraction Path (a) and Timing Diagrams of its Operation (b)

При промышленном производстве нониусных ЦАП потребуются аналого-цифровой преобразователь той же точности, которую должен обеспечивать весь ЦАП, что не является серьезной проблемой, поскольку в настоящее время выпускаются микросхемы сигма-дельта аналого-цифрового преобразователя с разрядностью 24 бит ([www.analog.com/media/en/technical-documentation/data-sheets/ad4630-24.pdf](http://www.analog.com/media/en/technical-documentation/data-sheets/ad4630-24.pdf), [www.analog.com/media/en/technical-documentation/data-sheets/AD7771.pdf](http://www.analog.com/media/en/technical-documentation/data-sheets/AD7771.pdf)) и 32 бит ([www.analog.com/media/en/technical-documen](http://www.analog.com/media/en/technical-documen)

[tation/data-sheets/250032fb.pdf](http://tation/data-sheets/250032fb.pdf)). На рисунке 6а приведена упрощенная 6-битовая модель нониусного ЦАП с трактом цифрового сложения и аналогового вычитания, а на рисунке 6б – временные диаграммы его работы при запуске от счетчика импульсов.

Натурное моделирование структуры нониусного ЦАП [10, 11], выполненной на отечественной элементной базе, полностью подтвердило ее работоспособность и заявленную точность преобразования.

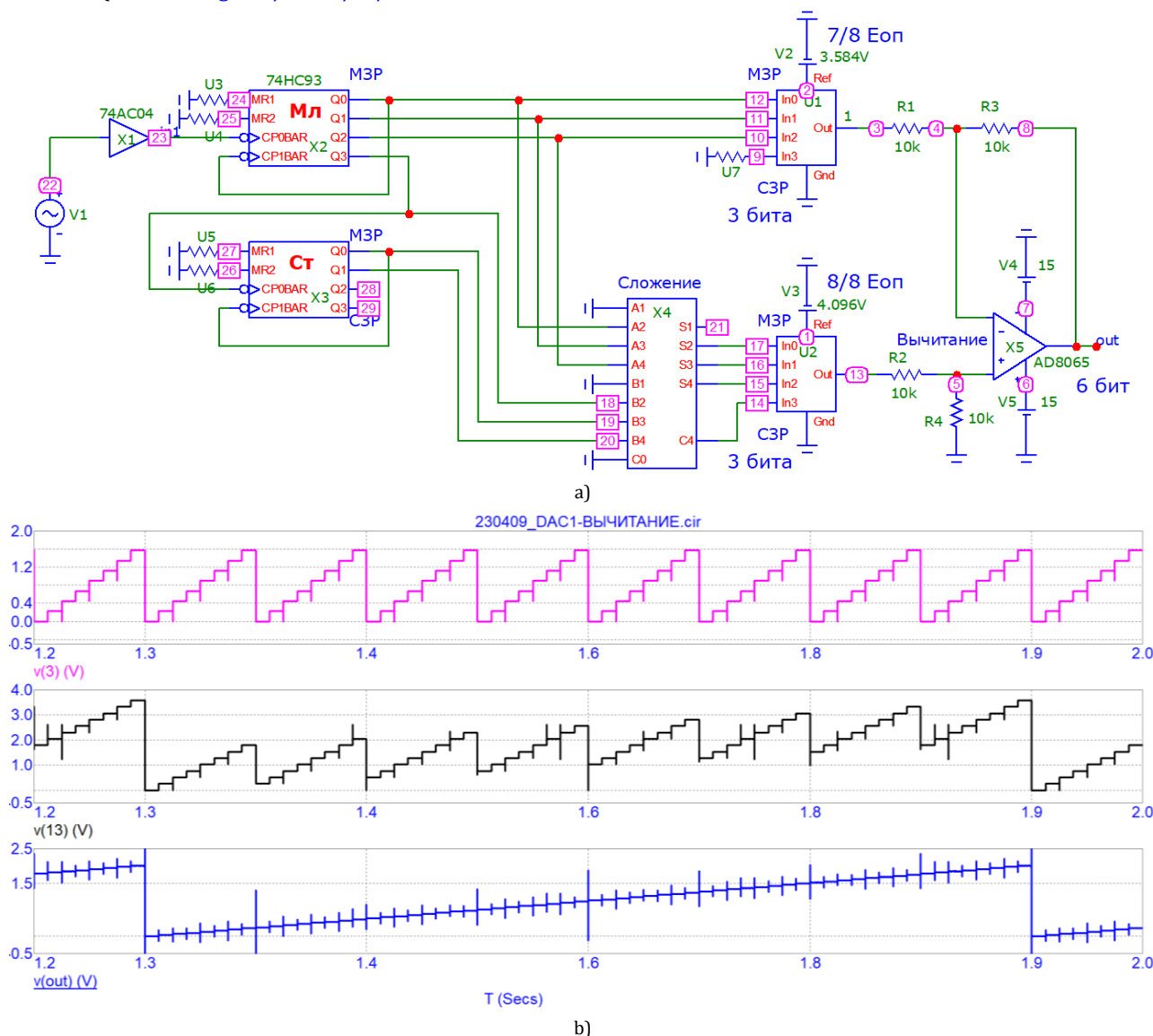


Рис. 6. Модель нониусного ЦАП первого типа с трактом цифрового сложения кодов (а) и временные диаграммы ее работы (б)

Fig. 6. Model of the First Type Vernier DAC with a Digital Code Addition Path (a) and Timing Diagrams of Its Operation (b)

## Выводы

Использование нониусного метода преобразования цифрового кода управления в аналоговый параметр – ток или напряжение, позволяет при сохранении исходной точности используемых ЦАП и технологии их производства обеспечить значи-

тельно лучшую разрешающую способность и (или) повышенное быстродействие итоговой структуры нониусного ЦАП. Другими словами, имея пару мерных шкал, жестко связанных соотношением (3) в виде рационального числа, можно получить точность преобразования цифрового кода управления

в выходной аналоговый сигнал – ток или напряжение, значительно превышающую точность преобразования используемых в структуре парциальных ЦАП.

Следовательно, с помощью соотношения (3) можно получить новое качество преобразования цифрового кода управления в выходной аналоговый сигнал при сохранении технологических ограничений производства на точность входящих в структуру аналоговых узлов (см. рисунок 4).

Кроме того, рассматриваемый способ нониусного преобразования позволяет, при необходимости,

увеличить быстродействие ЦАП, уменьшив примерно вдвое разрядность исходных двоичных параллельных ЦАП (т. е. в  $2^{n-2}$  раз). Такое решение удобно, например, в устройствах формирования сверхширокополосных сигналов передачи информации и (или) в устройствах пассивного цифрового синтеза частот [16, 17].

Результаты расчетов подтверждены схемотехническим моделированием с помощью пакета Microcap 12 и натурным макетированием схемы нониусного ЦАП на отечественной элементной базе.

#### Список источников

1. Никитин Ю.А. Теория цифроаналогового синтеза частот с помощью конечных автоматов. СПб.: Санкт-Петербургский государственный университет телекоммуникаций им. проф. М.А. Бонч-Бруевича, 2024. 342 с.
2. Титце У., Шенк К. Полупроводниковая схемотехника: справочник. Пер. с нем. М.: Мир, 1982. 512 с.
3. Потоцкий А.П., Сафьянников Н.М., Смолов В.Б., Угрюмов Е.П. Преобразователь код-аналог. Патент на изобретение СССР № 1508347 А1 от 08.12.1986. Оpubл. 20.03.1999.
4. Смолов В.Б., Угрюмов Е.П., Герасимов И.В., Рачев Б.Д., Фархи О.А. Элемент с цифро-управляемой проводимостью. Патент на изобретение СССР № 1182543 А1 от 26.04.1984. Оpubл. 30.09.1985.
5. Федорков Б.Г., Телец В.П. Микросхемы ЦАП и АЦП: функционирование, параметры, применение. М.: Энергомашиздат, 1990. 320 с.
6. Смолов В.Б. Функциональные преобразователи информации. Л.: ЭНЕРГОИЗДАТ, 1981. 247 с.
7. Марцинкявичус А.-Й. Быстродействующие интегральные микросхемы ЦАП и АЦП и измерение их параметров. М.: Радио и связь, 1988. 224 с.
8. Смолов В.Б. Микроэлектронные цифро-аналоговые и аналого-цифровые преобразователи информации. Л.: Энергия, 1976. 336 с.
9. Смолов В.Б. Функциональные преобразователи информации. Л.: Энергоиздат, 1981. 248 с.
10. Никитин Ю.А. Способ нониусного цифроаналогового преобразования. Патент на изобретение RU 2703228 С1 от 18.03.2019. Оpubл. 15.10.2019. EDN: VEPXBS
11. Nikitin Y.A. Method of vernier digital-to-analog conversion. Patent USA, no. 11,689,212 B2, 23.06.2022.
12. Никитин Ю.А. Способ нониусного цифроаналогового преобразования. Патент на изобретение RU 2726911 С1 от 02.07.2019. Оpubл. 16.07.2020. EDN: NXAXDF
13. Nikitin Y.A. Method of vernier digital-to-analog conversion. Patent USA, no. 11,736,117 B2, 10.11.2022.
14. Никитин Ю.А. Построение многоразрядного параллельного цифроаналогового преобразователя // IX Международная научно-техническая и научно-методическая конференция «Актуальные проблемы инфотелекоммуникаций в науке и образовании» (Санкт-Петербург, Российская Федерация, 26–27 февраля 2020 г.). СПб.: СПбГУТ, 2020. Т. 3. С. 476–480. EDN: WOEOEQ
15. Гуревич И.Н., Никитин Ю.А. Цифровой синтезатор частот. Патент на изобретение СССР 1737698 от 09.07.90. Оpubл. в БИ №20 1992. МКИ Н 03 В 19/00
16. Никитин Ю.А. Цифроаналоговый синтез частот. Теория и схемотехника. СПб.: Санкт-Петербургский государственный университет телекоммуникаций им. проф. М.А. Бонч-Бруевича, 2018. 367 с. EDN: YNTBQL
17. Никитин Ю.А. Анализ механизмов образования помех на выходе многоуровневого конечного автомата // Известия высших учебных заведений России. Радиоэлектроника. 2017. № 3. С. 52–59. EDN: YZBFBN

#### References

1. Nikitin Yu.A. *Theory of digital-to-analog frequency synthesis using finite automata*. St. Petersburg: The Bonch-Bruевич Saint Petersburg State University of Telecommunications Publ.; 2024. 342 p. (in Russ.)
2. Tietze U., Schenk Ch. *Semiconductor circuit engineering*. Translated from German. Moscow: Mir Publ.; 1982. 512 p. (in Russ.)
3. Potocki A.P., Safyannikov N.M., Smolov V.B., Ugryumov E.P. *Code-to-analog converter*. Patent USSR, no. 1508347 A1, 20.03.1999. (in Russ.)
4. Smolov V.B., Ugryumov E.P., Gerasimov I.V., Rachev B.D., Farhi O.A. Element with digitally controlled conductivity. Patent USSR, no. 1182543 A1, 30.09.1985. (in Russ.)
5. Fedorkov B.G., Telets V.P. *DAC and ADC microcircuits: operation, parameters, application*. Moscow: Energomashizdat Publ.; 1990. 320 p. (in Russ.)
6. Smolov V.B. *Functional information converters*. Leningrad: Energoizdat Publ.; 1981. 247 p. (in Russ.)

7. Marcinkevičius A.-J. *High-speed integrated circuits DAC and ADC and measurement of their parameters*. Moscow: Radio i svyaz Publ.; 1988. 224 p. (in Russ.)
8. Smolov V.B. *Microelectronic digital-to-analog and analog-to-digital information converters*. Leningrad: Energiya Publ.; 1976. 336 p. (in Russ.)
9. Smolov V.B. *Functional information converters*. Leningrad: Energoizdat Publ.; 1981. 248 p. (in Russ.)
10. Nikitin Yu. A. *Vernier digital-to-analog conversion method*. Patent RF, no. 2703228, 15.10.2019. (in Russ.)
11. Nikitin Y.A. *Method of vernier digital-to-analog conversion*. Patent USA, no. 11,689,212 B2, 23.06.2022.
12. Nikitin Yu. A. *Method of vernier digital-to-analog conversion*. Patent RF, no. 2726911, 16.07.2020. (in Russ.)
13. Nikitin Y.A. *Method of vernier digital-to-analog conversion*. Patent USA, no. 11,736,117 B2, 10.11.2022.
14. Nikitin Yu. Construction of a multi-bit parallel digital-to-analog converter. *Proceedings of the IXth International Scientific, Technical and Scientific-Methodical Conference on Actual Problems of Infotelecommunications in Science and Education, 26–27 February 2020, St. Petersburg, Russian Federation, vol.3*. St. Petersburg: SPbSUT Publ.; 2020. p.476–480. (in Russ.)
15. Gurevich I.N., Nikitin Yu.A. Digital frequency synthesizer. Patent USSR, no. 1737698, 09.07.90. (in Russ.)
16. Nikitin Yu.A. *Digital-analog frequency synthesis. Theory and circuit design*. St. Petersburg: The Bonch-Bruевич Saint Petersburg State University of Telecommunications Publ.; 2018. 367 p. (in Russ.) EDN:YNTBQL
17. Nikitin Yu.A. Analysis of the mechanisms of noise generation at the output of a multilevel finite state machine. *Journal of the Russian Universities. Radioelectronics*, 2017;3:52–59. (in Russ.) EDN:YZBFBN

Статья поступила в редакцию 12.09.2024; одобрена после рецензирования 14.11.2024; принята к публикации 28.07.2025.

The article was submitted 12.09.2024; approved after reviewing 14.11.2024; accepted for publication 28.07.2025.

## Информация об авторе:

**НИКИТИН**  
**Юрий Александрович**

кандидат технических наук, старший научный сотрудник, доцент кафедры электроники Санкт-Петербургского государственного университета телекоммуникаций им. проф. М.А. Бонч-Бруевича  
 <https://orcid.org/0000-0002-0749-9751>

Автор сообщает об отсутствии конфликтов интересов.

The author declares no conflicts of interests.